

## 明 細 書

### 半導体装置

### 技術分野

- [0001] 本発明は、半導体装置に関し、詳しくは、静電気に対する耐量を向上させることができる半導体装置に関する。

### 背景技術

- [0002] 一般的な高耐压横型MOSFET(Metal Oxide Semiconductor Field Effect Transistor)を備える半導体装置では、バックゲート電極端子と接地用電極端子(グラウンド電極端子)とを、例えば、チャネル形成用領域や接地領域を構成する拡散領域を介して電氣的に短絡し、バックゲート電極端子と接地用電極端子とを同一電位としている(例えば、特許文献1)。
- [0003] しかし、上述の技術において、バックゲート電極端子に対して、接地用電極端子とは異なる電圧を印加したい場合がある。このような場合、バックゲート領域と接地領域とを電氣的に分離して形成させる必要がある。そこで、バックゲート領域と接地領域とを電氣的に分離して形成した高耐压横型MOSFETを備えた半導体装置が提案されている(例えば、特許文献2)。
- [0004] 高耐压横型MOSFETは、P<sup>-</sup>型半導体基板と、この上にエピタキシャル成長によって形成されたドレイン領域として機能するN<sup>-</sup>型半導体領域と、接地領域として機能する上側P型半導体領域及び下側P型半導体領域と、チャネル形成用領域として機能するP型半導体領域と、N<sup>-</sup>型半導体領域内に形成されてドレインコンタクト領域として機能する第1N<sup>+</sup>半導体領域と、P型半導体領域内に形成されてバックゲートコンタクト領域として機能するP<sup>+</sup>型半導体領域と、P型半導体領域内に形成されて、ソースコンタクト領域として機能する第2N<sup>+</sup>型半導体領域と、を有している。
- [0005] ドレインコンタクト領域として機能する第1N<sup>+</sup>半導体領域は、ドレイン領域として機能するN<sup>-</sup>型半導体領域の表面領域に形成されている。
- チャネル形成用領域として機能するP型半導体領域は、第1N<sup>+</sup>半導体領域を包囲するように環状に形成されている。

上側P型半導体領域は、P型半導体領域を包囲するように環状に形成されている。  
また、下側P型半導体領域は、上側P型半導体領域の下面に隣接するように形成されている。

[0006] 上側P型半導体領域には接地電極が電氣的に接続されている。

バックゲートコンタクト領域として機能する $P^+$ 型半導体領域には、バックゲート電極が電氣的に接続されている。

ドレインコンタクト領域として機能する第1 $N^+$ 半導体領域には、ドレイン電極が電氣的に接続されている。

ソースコンタクト領域として機能する第2 $N^+$ 半導体領域には、ソース電極が電氣的に接続されている。

また、ソースコンタクト領域として機能する第2 $N^+$ 型半導体領域と $N^-$ 型半導体領域との間に配置されたP型半導体領域の上面には、ゲート絶縁膜を介してゲート電極が形成されている。

特許文献1:特開2000-260981号公報

特許文献2:特開平8-330580号公報

## 発明の開示

### 発明が解決しようとする課題

[0007] しかし、上述の高耐圧横型MOSFETは、ドレイン電極に印加された静電氣に対する耐量が比較的小さく、ゲート絶縁膜が破壊されてしまうことがあるという問題点がある。

このゲート絶縁膜の破壊は、以下に述べるメカニズムによって生じると考えられる。

[0008] ドレイン電極に負の静電氣が印加されると、換言すれば、接地電極に比較的高い正の電位が印加されると、接地領域として機能する上側P型半導体領域及び下側P型半導体領域とドレイン領域として機能する $N^-$ 型半導体領域とによって形成される寄生ダイオードを介してゲート電極に正電位が印加される。

[0009] また、バックゲート電極にも、接地領域として機能する上側P型半導体領域及び下側P型半導体領域と、ドレイン領域として機能する $N^-$ 型半導体領域と、P型半導体領域と、バックゲートコンタクト領域として機能する $P^+$ 型半導体領域と、によって構成さ

れる寄生ダイオード(寄生トランジスタ)を介して、正電位が印加される。

[0010] これにより、バックゲートコンタクト領域として機能する $P^+$ 型半導体領域と、P型半導体領域と、 $N^-$ 型半導体領域と、ドレインコンタクト領域として機能する第1 $N^+$ 型半導体領域と、によって構成される経路(電流経路1)に比較的大きな電流が流れ、P型半導体領域の横方向に電位差が生じる。

[0011] 一方、上側P型半導体領域及び下側P型半導体領域と、 $P^-$ 型半導体基板と、 $N^-$ 型半導体領域と、第1 $N^+$ 半導体領域と、から構成される経路(電流経路2)にも電流が流れるが、 $P^-$ 型半導体基板の横方向の抵抗値が大きいため、電流経路2に流れる電流は電流経路1に流れる電流と比較して少ない。

[0012] この結果、ゲート電極と、その下のP型半導体領域との間に電位差が生じ、この電位差がゲート絶縁膜の破壊耐量を超えるとゲート絶縁膜の破壊に至る。すなわち、ゲート絶縁膜の破壊は、電流経路2の抵抗値が電流経路1の抵抗値と比較して大きいことに帰因すると考えられる。

[0013] 本発明は、上記実情に鑑みてなされたものであり、静電気に対する耐量を向上させることができる半導体装置を提供することを目的とする。

また、本発明は、ゲート絶縁膜の破壊を抑制することができる半導体装置を提供することを目的とする。

#### 課題を解決するための手段

[0014] 上記目的を達成するため、本発明の第1の観点に係る半導体装置は、  
第1導電型の第1半導体領域と、  
前記第1半導体領域上に形成された第2導電型の第2半導体領域と、  
前記第2半導体領域の表面領域に、該第2半導体領域の外周に沿うように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域と、

前記第3半導体領域の下面に隣接するように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第4半導体領域と、

前記第2半導体領域の表面領域に形成された第1導電型の第5半導体領域と、

前記第5半導体領域の表面領域に形成された第2導電型の第6半導体領域と、

前記第2半導体領域に電氣的に接続された第1の電極と、  
前記第6半導体領域に電氣的に接続された第2の電極と、  
前記第5半導体領域上に絶縁膜を介して配置された制御電極と、  
を備え、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前記第3半導体領域よりも前記第5半導体領域側に延伸するように形成されている、ことを特徴とする。

[0015] 前記第4半導体領域は、前記第1の電極に負の静電気が印加された状態で、前記制御電極と該制御電極の下方の前記第5半導体領域との電位差が小さくなるように形成されてもよい。

[0016] 前記第4半導体領域は、前記第2半導体領域を介して、前記第5半導体領域と対向してもよい。

[0017] 前記第4半導体領域は、前記第5半導体領域よりも前記第1の電極側に延伸するように形成されてもよい。

[0018] 前記第2半導体領域の表面領域に、該第2半導体領域よりも高い不純物濃度を有する第2導電型の第7半導体領域をさらに備え、  
前記第7半導体領域は前記第1の電極に電氣的に接続されてもよい。

[0019] 前記第5半導体領域は、前記第7半導体領域を包囲するように閉環状に形成され、  
前記第3半導体領域は、前記第5半導体領域を囲むように閉環状に形成されてもよい。

[0020] 前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度の高い第1導電型の第8半導体領域をさらに備え、  
前記第8半導体領域はバックゲート電極に電氣的に接続されてもよい。

[0021] 上記目的を達成するため、本発明の第2の観点に係る半導体装置は、  
第1導電型の第1半導体領域と、  
前記第1半導体領域上に形成された第2導電型の第2半導体領域と、  
前記第2半導体領域の表面領域に、該第2半導体領域の外周に沿うように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域

と、

前記第3半導体領域の下面に隣接するように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第4半導体領域と、

前記第2半導体領域の表面領域に形成された第1導電型の第5半導体領域と、

前記第5半導体領域の表面領域に形成された第2導電型の第6半導体領域と、

前記第2半導体領域に電氣的に接続された第1の電極と、

前記第6半導体領域に電氣的に接続された第2の電極と、

前記第5半導体領域上に絶縁膜を介して配置された制御電極と、

を備え、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前記第3半導体領域よりも第1の電極側に延伸するように形成されている突片部と、前記突片部よりも第1の電極側に延伸しないように形成されている部分と、を備えることを特徴とする。

[0022] 前記第4半導体領域の突片部は、前記第1の電極に負の静電気が印加された状態で、前記制御電極と該制御電極の下方の前記第5半導体領域との電位差が小さくなるように形成されてもよい。

[0023] 前記第4半導体領域の突片部の上面は、前記第5半導体領域の下面と対向してもよい。

[0024] 前記第2半導体領域の表面領域に、該第2半導体領域よりも高い不純物濃度を有する第2導電型の第7半導体領域をさらに備え、

前記第7半導体領域は前記第1の電極に電氣的に接続されてもよい。

[0025] 前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度の高い第1導電型の第8半導体領域をさらに備え、

前記第8半導体領域はバックゲート電極に電氣的に接続されてもよい。

[0026] 前記第5半導体領域は、前記第6半導体領域及び前記第8半導体領域を備える領域と、前記第6半導体領域及び前記第8半導体領域を備えない領域とを有し、両者は交互に且つ離間して形成されてもよい。

[0027] 前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備えない

領域の下部には、前記第4半導体領域の突片部が形成されてもよい。

[0028] 前記第4半導体領域の突片部は、前記第5半導体領域よりも前記第1の電極側に延伸するように形成されてもよい。

[0029] 前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備える領域の下部には、前記第4半導体領域の突片部が形成されていなくてもよい。

[0030] 前記第5半導体領域は、前記第7半導体領域を包囲するように、前記第6半導体領域及び前記第8半導体領域を備える領域と、前記第6半導体領域及び前記第8半導体領域を備えない領域とが交互に且つ離間して配置され、  
前記第3半導体領域は、前記第5半導体領域を囲むように閉環状に形成されてもよい。

[0031] さらに、高圧抵抗素子を備えてもよい。

### 発明の効果

[0032] 本発明によれば、静電気に対する耐量を向上させることができる。

### 図面の簡単な説明

[0033] [図1]第1の実施の形態における半導体装置の断面図である。

[図2]第1の実施の形態における半導体装置の平面図である。

[図3]第2の実施の形態における半導体装置の平面図である。

[図4]図3におけるAO断面図である。

[図5]図3におけるBO断面図である。

[図6]第3の実施の形態における半導体装置の平面図である。

### 符号の説明

- [0034]
- 1 接地電極
  - 2 ドレイン電極
  - 3 ゲート電極
  - 4 ソース電極
  - 5 バックゲート電極
  - 12 P<sup>+</sup>型半導体領域
  - 13 上側P型半導体領域

14 下側P型半導体領域

14a 突片部

15 P<sup>-</sup>型半導体基板

19 P型半導体領域

19a P型半導体領域

19b P型半導体領域

21 N<sup>-</sup>型半導体領域

22 第1N<sup>+</sup>型半導体領域

23 第2N<sup>+</sup>型半導体領域

31 ゲート絶縁膜

### 発明を実施するための最良の形態

[0035] 以下、本発明の実施の形態にかかる半導体装置について説明する。本実施の形態では、半導体装置として、高耐圧横型MOSFET (Metal Oxide Semiconductor Field Effect Transistor)を備える半導体装置の場合を例に、図を参照して説明する。

[0036] (第1の実施の形態)

図1及び図2は、本発明の第1の実施の形態に係る高耐圧横型MOSFETを備える半導体装置を示す図である。なお、半導体装置上には、多数の半導体素子が形成されているが、図1及び図2では、それらを省略している。

[0037] 図1及び図2に示すように、本実施の形態に係る半導体装置は、P<sup>-</sup>型半導体基板15と、N<sup>-</sup>型半導体領域21と、第1N<sup>+</sup>型半導体領域22と、P型半導体領域19と、P<sup>+</sup>型半導体領域12と、第2N<sup>+</sup>型半導体領域23と、上側P型半導体領域13と、下側P型半導体領域14とを備えている。

[0038] P<sup>-</sup>型半導体基板15は、第1導電型、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成された、P型のシリコン半導体基板から構成されている。なお、P<sup>-</sup>型半導体基板15は、シリコンに限らず、ガリウムなどにホウ素等を拡散させてもよい。

[0039] N<sup>-</sup>型半導体領域21は、P<sup>-</sup>型半導体基板15の表面上に、例えば、エピタキシャル成長によって形成されている。N<sup>-</sup>型半導体領域21は、第2導電型、例えば、リン(P)

、ヒ素(As)等のN型不純物を含む、N型のシリコン半導体領域から構成されている。なお、N<sup>-</sup>型半導体領域21は、シリコンに限らず、ガリウム-ヒ素等の化合物から構成されていてもよい。このN<sup>-</sup>型半導体領域21は、ドレイン領域として機能する。

[0040] 第1N<sup>+</sup>型半導体領域22は、図2に示すように、ドレイン領域として機能するN<sup>-</sup>型半導体領域21の表面領域に閉環状に形成されている。なお、第1N<sup>+</sup>型半導体領域22は、N<sup>-</sup>型半導体領域21の表面領域に、平面形状が円形等の島状(アイランド状)に形成されていてもよい。

第1N<sup>+</sup>型半導体領域22は、例えば、リン(P)、ヒ素(As)等のN型不純物を含む、N型の半導体領域から構成され、N<sup>-</sup>型半導体領域21より高いN型不純物濃度を有する。第1N<sup>+</sup>型半導体領域22にはドレイン電極2が電氣的に接続されており、第1N<sup>+</sup>型半導体領域22は、ドレインコンタクト領域として機能する。

[0041] P型半導体領域19は、N<sup>-</sup>型半導体領域21の表面領域に、第1N<sup>+</sup>型半導体領域22を包囲するように閉環状に形成されている。P型半導体領域19は、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成された、P型半導体から構成されている。P型半導体領域19は、P<sup>-</sup>型半導体基板15より高いP型不純物濃度を有する。このP型半導体領域19は、チャネル形成用領域として機能する。

[0042] P<sup>+</sup>型半導体領域12は、P型半導体領域19の表面領域に形成されている。P<sup>+</sup>型半導体領域12は、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成されたP型半導体から構成され、P型半導体領域19等より高いP型不純物濃度を有する。P<sup>+</sup>型半導体領域12にはバックゲート電極5が電氣的に接続されており、P<sup>+</sup>型半導体領域12は、バックゲートコンタクト領域として機能する。

[0043] 第2N<sup>+</sup>型半導体領域23は、P型半導体領域19の表面領域に形成されている。第2N<sup>+</sup>型半導体領域23は、例えば、リン(P)、ヒ素(As)等のN型不純物を含む、N型の半導体から構成され、N<sup>-</sup>型半導体領域21より高いN型不純物濃度を有する。第2N<sup>+</sup>型半導体領域23にはソース電極4が電氣的に接続されており、第2N<sup>+</sup>型半導体領域23は、ソースコンタクト領域として機能する。

[0044] ソースコンタクト領域として機能する第2N<sup>+</sup>型半導体領域23と、N<sup>-</sup>型半導体領域21との間に配置された、環状のP型半導体領域19の上面には、例えば、シリコン酸化



膜、シリコン窒化膜等から構成されるゲート絶縁膜31を介して、ゲート電極3が形成されている。そして、ゲート電極3に閾値電圧以上の電圧が印加されると、チャネルが形成される。

[0045] 上側P型半導体領域13は、P型半導体領域19を包囲するように形成されている。上側P型半導体領域13は、N<sup>-</sup>型半導体領域21(P<sup>-</sup>型半導体基板15)の表面領域に形成され、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成された、P型半導体から構成される。上側P型半導体領域13は、P<sup>-</sup>型半導体基板15より高いP型不純物濃度を有する。上側P型半導体領域13には接地電極1が電氣的に接続されており、上側P型半導体領域13は、接地領域として機能する。

[0046] 下側P型半導体領域14は、その上面が、上側P型半導体領域13の下面に接するように、上側P型半導体領域13の下に形成されている。また、下側P型半導体領域14は、上側P型半導体領域13よりもP型半導体領域19側に延伸するように形成されている。すなわち、下側P型半導体領域14は、上側P型半導体領域13の下から第1N<sup>+</sup>型半導体領域22(P型半導体領域19)側に向かって、延伸するように形成されている。これにより、後述するように、ドレイン電極2に負の静電気が印加された状態で、ゲート電極3と、その下のP型半導体領域19との電位差を小さくすることができる。本実施の形態では、下側P型半導体領域14は、上側P型半導体領域13の下からP型半導体領域19の下まで延伸するように形成されており、N<sup>-</sup>型半導体領域21を介して、P型半導体領域19と対向している。

[0047] 下側P型半導体領域14は、例えば、埋め込み拡散等により形成されている。下側P型半導体領域14は、P<sup>-</sup>型半導体基板15の表面領域に、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散させ、領域を形成した後、P<sup>-</sup>型半導体基板15上にN<sup>-</sup>型半導体領域21をエピタキシャル成長させた際に、P型不純物がN<sup>-</sup>型半導体領域21側に拡散させることによって、P<sup>-</sup>型半導体基板15及びN<sup>-</sup>型半導体領域21内に形成される。また、下側P型半導体領域14は、P<sup>-</sup>型半導体基板15より高いP型不純物濃度を有する。

[0048] このような半導体装置において、ドレイン電極2に負の静電気が印加される、換言すれば、接地電極1に正の電位が印加されると、図1に示すように、寄生ダイオードD

p1を介して、ゲート電極3に正電位が負荷される。また、バックゲート電極5にも、図1に示すように、寄生ダイオードDp2を介して、正電位が負荷される。

[0049] これにより、 $P^+$ 型半導体領域12と、P型半導体領域19と、 $N^-$ 型半導体領域21と、第1 $N^+$ 型半導体領域22によって構成される電流経路I-1、及び、上側P型半導体領域13及び下側P型半導体領域14と、 $P^-$ 型半導体基板15と、 $N^-$ 型半導体領域21と、第1 $N^+$ 半導体領域22とから構成される電流経路I-2に電流が流れる。

[0050] ここで、下側P型半導体領域14が上側P型半導体領域13よりもP型半導体領域19側に延伸するように(本実施の形態では、P型半導体領域19の下まで延伸するように)形成されている。また、下側P型半導体領域14は、 $P^-$ 型半導体基板15と比較してP型不純物濃度が高く、その抵抗値が $P^-$ 型半導体基板15の抵抗値より低い。従って、下側P型半導体領域14が延伸した分だけ、電流経路I-2の抵抗値が低くなり、ドレイン電極2に負の静電気が印加(接地電極1に正電位が印加)された場合に、電流経路I-2に流れる電流が相対的に増加し、反対に電流経路I-1に流れる電流が相対的に減少する。結果として、ゲート電極3と、その下のP型半導体領域19との電位差が小さくなり、ゲート絶縁膜31の破壊を防止することができる。

[0051] 以上、説明したように、第1の実施の形態によれば、下側P型半導体領域14がP型半導体領域19の下まで延伸するように形成されているので、電流経路I-2の抵抗値が、電流経路I-1の抵抗値よりも小さくなる。このため、ドレイン電極2に負の静電気が印加された際、電流経路I-1を流れる電流が相対的に小さくなり、ゲート電極3とその下のP型半導体領域19との間に生じる電位差が小さくなる。この結果、ゲート絶縁膜31の破壊を良好に抑制することができる。また、他の素子の大きさ、耐圧などの諸特性を変えることなく、負の静電気に対する耐量を向上させることができる。

[0052] (第2の実施の形態)

図3は、本発明の第2の実施の形態に係る高耐圧横型MOSFETを備える半導体装置の平面図である。図4は図3のAO断面図であり、図5は図3のBO断面図である。なお、本実施の形態においても、第1の実施の形態と同様に、半導体装置上には多数の半導体素子が形成されているが、図3ー図5では、それらを省略している。

[0053] 本実施の形態に係る半導体装置と第1の実施の形態に係る半導体装置との相違

点は、P型半導体領域19が2種類存在する点と、これに対応して下側P型半導体領域14の形状が異なる点とがある。第1の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

[0054] 図3に示すように、本実施の形態に係る半導体装置は、点Oを中心として第1N<sup>+</sup>型半導体領域22が閉環状に形成されており、この第1N<sup>+</sup>型半導体領域22を取り囲むように、P型半導体領域19aとP型半導体領域19bとが、交互に、且つ、間欠的に形成されている。下側P型半導体領域14は、閉環状に形成され、複数の突片部14aを備えている。また、上側P型半導体領域13は、第1N<sup>+</sup>型半導体領域22と、P型半導体領域19a及び19bとを包囲するように閉環状に形成されている。なお、第1N<sup>+</sup>型半導体領域22は、N<sup>-</sup>型半導体領域21の表面領域に、平面形状が円形等の島状(アイランド状)に形成されていてもよい。

[0055] 下側P型半導体領域14の突片部14aは、P型半導体領域19aの下側に形成されているが、P型半導体領域19bの下側には形成されていない。従って、P型半導体領域19bと、下側P型半導体領域14の突片部14aとは、交互に配置され、上方から見た状態で、両者は重なり合わない構造となる。

[0056] 図4に示すように、P型半導体領域19aは、その表面領域に、第1の実施の形態のバックゲートコンタクト領域として機能するP<sup>+</sup>型半導体領域12と、ソースコンタクト領域として機能する第2N<sup>+</sup>型半導体領域23とを備えていない。また、P型半導体領域19aの側面は上側P型半導体領域13に隣接するように形成されている。さらに、P型半導体領域19aは、その下面が、下側P型半導体領域14の突片部14aの上面と接している。

[0057] 図5に示すように、P型半導体領域19bは、P型半導体領域19aと異なり、第1の実施の形態と同様に、バックゲートコンタクト領域として機能するP<sup>+</sup>型半導体領域12と、ソースコンタクト領域として機能する第2N<sup>+</sup>型半導体領域23とを備えており、上側P型半導体領域13から離間するように形成されている。また、P型半導体領域19aと異なり、P型半導体領域19bの下側には下側P型半導体領域14が形成されていない。

[0058] 下側P型半導体領域14の突片部14aは、上側P型半導体領域13よりもドレイン電極2(第1N<sup>+</sup>型半導体領域22)側に延伸するように形成されている。本実施の形態で

は、突片部14aの延伸させた端部が、P型半導体領域19のドレイン電極2側の端部よりも突出するように延伸されている。また、下側P型半導体領域14の突片部14aが形成されていない部分14bは、突片部14aよりもドレイン電極2側に延伸しないように形成され、本実施の形態では、上側P型半導体領域13とほぼ同様に形成されている。

[0059] このような半導体装置において、P型半導体領域19aの下側に下側P型半導体領域14の突片部14aが形成されているので、第1の実施の形態と同様に、突片部14aが延伸した分だけ電流経路I-2の抵抗値が低下する。このため、ドレイン電極2に負の静電気が印加（接地電極1に正電位が印加）された場合に、電流経路I-2に流れる電流が相対的に増加し、反対に電流経路I-1に流れる電流が相対的に減少する。結果として、ゲート電極3と、その下のP型半導体領域19との電位差が小さくなり、ゲート絶縁膜31の破壊を防止することができる。

特に、本実施の形態においては、下側P型半導体領域14を厚く形成することができるので、電流経路I-2の抵抗値をより小さくすることができる。

[0060] 以上、説明したように、第2の実施の形態によれば、P型半導体領域19aの下側に突片部14aが形成されているので、電流経路I-2の抵抗値が、電流経路I-1の抵抗値よりも小さくなる。このため、ドレイン電極2に負の静電気が印加された際、電流経路I-1を流れる電流が相対的に小さくなり、ゲート電極3とその下のP型半導体領域19との間に生じる電位差が小さくなる。この結果、ゲート絶縁膜31の破壊を良好に抑制することができる。また、他の素子の大きさ、耐圧などの諸特性を変えなく、負の静電気に対する耐量を向上させることができる。

[0061] また、本実施の形態によれば、下側P型半導体領域14を厚く形成することができるので、電流経路I-2の抵抗値をより小さくすることができ、ゲート絶縁膜31の破壊をさらに抑制することができる。

[0062] さらに、本実施の形態によれば、P型半導体領域19bの下側には、下側P型半導体領域14が形成されていないので、高耐圧設計等を容易に行うことができる。

[0063] （第3の実施の形態）

図6は、本発明の第3の実施の形態に係る高耐圧横型MOSFETを備える半導体

装置の平面図である。なお、本実施の形態においても、第1の実施の形態と同様に、半導体装置上には多数の半導体素子が形成されているが、図6では、それらを省略している。

[0064] 本実施の形態に係る半導体装置と第2の実施の形態に係る半導体装置との相違点は、高圧抵抗素子が備わっている点にある。第2の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

[0065] 図6に示すように、本実施の形態に係る半導体装置には、上側P型半導体領域13の一部に切り欠け部分13aが設けられ、この切り欠け部分13aを通じて、ドレイン領域を構成するN<sup>-</sup>型半導体領域121が上側P型半導体領域13の外周側に帯状に形成されている。また、帯状に形成されたN<sup>-</sup>型半導体領域121の終端部分には、N<sup>+</sup>型半導体領域125が形成されている。この帯状に構成されたN<sup>-</sup>型半導体領域121は、上側P型半導体領域113に包囲され、高圧抵抗素子として機能する。

[0066] このような半導体装置においても、P型半導体領域19aの下側に下側P型半導体領域14の突片部14aが形成されているので、第2の実施の形態と同様に、ゲート絶縁膜31の破壊を防止することができる。また、N<sup>-</sup>型半導体領域121を高圧抵抗素子として機能させることができる。

[0067] 以上、説明したように、第3の実施の形態によれば、第2の実施の形態の効果に加え、高圧抵抗素子と複合化させることができる。

[0068] 本発明は、上述した実施の形態の構成に限られず、様々な変形、応用が可能である。

[0069] 例えば、第1の実施の形態では、下側P型半導体領域14がP型半導体領域19の下まで延伸するように形成されているが、電流経路I-2の抵抗値が電流経路I-1の抵抗値より小さくなるように形成されていけばよく、上側P型半導体領域13よりもP型半導体領域19側に延伸するように形成されていけばよい。これにより、ゲート電極3と、その下のP型半導体領域19との電位差が小さくなり、ゲート絶縁膜31の破壊を防止することができる。

[0070] 電流経路I-2の抵抗値を電流経路I-1の抵抗値と比較して十分小さくするためには、下側P型半導体領域14の第1N<sup>+</sup>型半導体領域22側(ドレイン電極2側)の端部

を、チャネル形成用領域として機能するP型半導体領域19の中心よりもドレイン電極2側まで延伸させることが好ましい。特に、下側P型半導体領域14のドレイン電極2側の端部が、P型半導体領域19のドレイン電極側の端部よりも、ドレイン電極2側に位置するように延伸させることが好ましい。これにより、ゲート電極3と、その下のP型半導体領域19との電位差が小さくなり、ゲート絶縁膜31の破壊を防止することができる。具体的には、下側P型半導体領域14は、その延伸させた端部が、P型半導体領域19のドレイン電極2側の端部よりも2  $\mu$  m以上、望ましくは10  $\mu$  m以上突出するように、ドレイン電極2側に延伸させることが好ましい。

[0071] 第2の実施の形態及び第3の実施の形態では、下側P型半導体領域14の突片部14a上にP型半導体領域19aが形成されているが、突片部14aの上側にP型半導体領域19aを形成しない構成であってもよい。また、突片部14aがN<sup>-</sup>型半導体領域21を介してP型半導体領域19aの下方に形成されていてもよい。

[0072] 第2の実施の形態及び第3の実施の形態では、下側P型半導体領域14の突片部14aが形成されていない部分14bが上側P型半導体領域13とほぼ同様に形成されているが、突片部14aよりもドレイン電極2側に延伸しないように形成されていればよい。例えば、下側P型半導体領域14の突片部14aが形成されていない部分14bは、その端部がP型半導体領域19の中心よりもドレイン電極2側となるように延伸させてもよい。

[0073] 本実施の形態では、例えば、N<sup>-</sup>型半導体領域21をエピタキシャル成長法により形成し、P型半導体領域19をP型不純物を拡散して形成したが、同様の結果物が得られるのであれば、他の方法によって形成してもよい。また、本実施の形態では、第1半導体領域としての半導体基板がP<sup>-</sup>型半導体基板15の場合を例に本発明を説明したが、N型半導体基板であってもよい。この場合、各半導体領域の導電型が反対に構成される。

[0074] 本発明は、2004年3月26日に出願された日本国特願2004-93702号に基づき、その明細書、特許請求の範囲、図面および要約書を含む。上記出願における開示は、本明細書中にその全体が参照として含まれる。

産業上の利用の可能性

[0075] 本発明は、半導体装置、特に、高耐圧横型MOSFETを備えた半導体装置に有用である。

## 請求の範囲

- [1] 第1導電型の第1半導体領域(15)と、  
前記第1半導体領域(15)上に形成された第2導電型の第2半導体領域(21)と、  
前記第2半導体領域(21)の表面領域に、該第2半導体領域(21)の外周に沿うように形成され、且つ前記第1半導体領域(15)よりも不純物濃度の高い第1導電型の第3半導体領域(13)と、  
前記第3半導体領域(13)の下面に隣接するように形成され、且つ前記第1半導体領域(15)よりも不純物濃度の高い第1導電型の第4半導体領域(14)と、  
前記第2半導体領域(21)の表面領域に形成された第1導電型の第5半導体領域(19)と、  
前記第5半導体領域(19)の表面領域に形成された第2導電型の第6半導体領域(23)と、  
前記第2半導体領域(21)に電氣的に接続された第1の電極(2)と、  
前記第6半導体領域(23)に電氣的に接続された第2の電極(4)と、  
前記第5半導体領域(19)上に絶縁膜(31)を介して配置された制御電極(3)と、  
を備え、  
前記第4半導体領域(14)は、前記第1半導体領域(15)及び前記第2半導体領域(21)内に形成され、前記第3半導体領域(13)よりも前記第5半導体領域(19)側に延伸するように形成されている、ことを特徴とする半導体装置。
- [2] 前記第4半導体領域(14)は、前記第1の電極(2)に負の静電気が印加された状態で、前記制御電極(3)と該制御電極(3)の下方の前記第5半導体領域(19)との電位差が小さくなるように形成されている、ことを特徴とする請求項1に記載の半導体装置。
- [3] 前記第4半導体領域(14)は、前記第2半導体領域(21)を介して、前記第5半導体領域(19)と対向する、ことを特徴とする請求項1に記載の半導体装置。
- [4] 前記第4半導体領域(14)は、前記第5半導体領域(19)よりも前記第1の電極(2)側に延伸するように形成されている、ことを特徴とする請求項1に記載の半導体装置。



- [5] 前記第2半導体領域(21)の表面領域に、該第2半導体領域(21)よりも高い不純物濃度を有する第2導電型の第7半導体領域(22)をさらに備え、  
前記第7半導体領域(22)は前記第1の電極(2)に電氣的に接続されている、ことを特徴とする請求項1に記載の半導体装置。
- [6] 前記第5半導体領域(19)は、前記第7半導体領域(22)を包囲するように閉環状に形成され、  
前記第3半導体領域(13)は、前記第5半導体領域(19)を囲むように閉環状に形成されている、ことを特徴とする請求項5に記載の半導体装置。
- [7] 前記第5半導体領域(19)の表面領域に形成され、且つ前記第5半導体領域(19)よりも不純物濃度の高い第1導電型の第8半導体領域(12)をさらに備え、  
前記第8半導体領域(12)はバックゲート電極(5)に電氣的に接続されている、ことを特徴とする請求項1に記載の半導体装置。
- [8] 第1導電型の第1半導体領域(15)と、  
前記第1半導体領域(15)上に形成された第2導電型の第2半導体領域(21)と、  
前記第2半導体領域(21)の表面領域に、該第2半導体領域(21)の外周に沿うように形成され、且つ前記第1半導体領域(15)よりも不純物濃度の高い第1導電型の第3半導体領域(13)と、  
前記第3半導体領域(13)の下面に隣接するように形成され、且つ前記第1半導体領域(15)よりも不純物濃度の高い第1導電型の第4半導体領域(14)と、  
前記第2半導体領域(21)の表面領域に形成された第1導電型の第5半導体領域(19)と、  
前記第5半導体領域(19)の表面領域に形成された第2導電型の第6半導体領域(23)と、  
前記第2半導体領域(21)に電氣的に接続された第1の電極(2)と、  
前記第6半導体領域(23)に電氣的に接続された第2の電極(4)と、  
前記第5半導体領域(19)上に絶縁膜(31)を介して配置された制御電極(3)と、  
を備え、  
前記第4半導体領域(14)は、前記第1半導体領域(15)及び前記第2半導体領域

- (21)内に形成され、前記第3半導体領域(13)よりも第1の電極(2)側に延伸するように形成されている突片部(14a)と、前記突片部(14a)よりも第1の電極(2)側に延伸しないように形成されている部分(14b)と、を備えることを特徴とする半導体装置。
- [9] 前記第4半導体領域(14)の突片部(14a)は、前記第1の電極(2)に負の静電気が印加された状態で、前記制御電極(3)と該制御電極(3)の下方の前記第5半導体領域(19)との電位差が小さくなるように形成されている、ことを特徴とする請求項8に記載の半導体装置。
- [10] 前記第4半導体領域(14)の突片部(14a)の上面は、前記第5半導体領域(19)の下面と対向する、ことを特徴とする請求項8に記載の半導体装置。
- [11] 前記第2半導体領域(21)の表面領域に、該第2半導体領域(21)よりも高い不純物濃度を有する第2導電型の第7半導体領域(22)をさらに備え、  
前記第7半導体領域(22)は前記第1の電極(2)に電氣的に接続されている、ことを特徴とする請求項8に記載の半導体装置。
- [12] 前記第5半導体領域(19)の表面領域に形成され、且つ前記第5半導体領域(19)よりも不純物濃度の高い第1導電型の第8半導体領域(12)をさらに備え、  
前記第8半導体領域(12)はバックゲート電極(5)に電氣的に接続されている、ことを特徴とする請求項8に記載の半導体装置。
- [13] 前記第5半導体領域(19)は、前記第6半導体領域(23)及び前記第8半導体領域(12)を備える領域(19b)と、前記第6半導体領域(23)及び前記第8半導体領域(12)を備えない領域(19a)とを有し、両者は交互に且つ離間して形成されている、ことを特徴とする請求項12に記載の半導体装置。
- [14] 前記第5半導体領域(19)の前記第6半導体領域(23)及び前記第8半導体領域(12)を備えない領域(19a)の下部には、前記第4半導体領域(14)の突片部(14a)が形成されている、ことを特徴とする請求項13に記載の半導体装置。
- [15] 前記第4半導体領域(14)の突片部(14a)は、前記第5半導体領域(19)よりも前記第1の電極(2)側に延伸するように形成されている、ことを特徴とする請求項14に記載の半導体装置。
- [16] 前記第5半導体領域(19)の前記第6半導体領域(23)及び前記第8半導体領域(

12)を備える領域(19b)の下部には、前記第4半導体領域(14)の突片部(14a)が形成されていない、ことを特徴とする請求項13に記載の半導体装置。

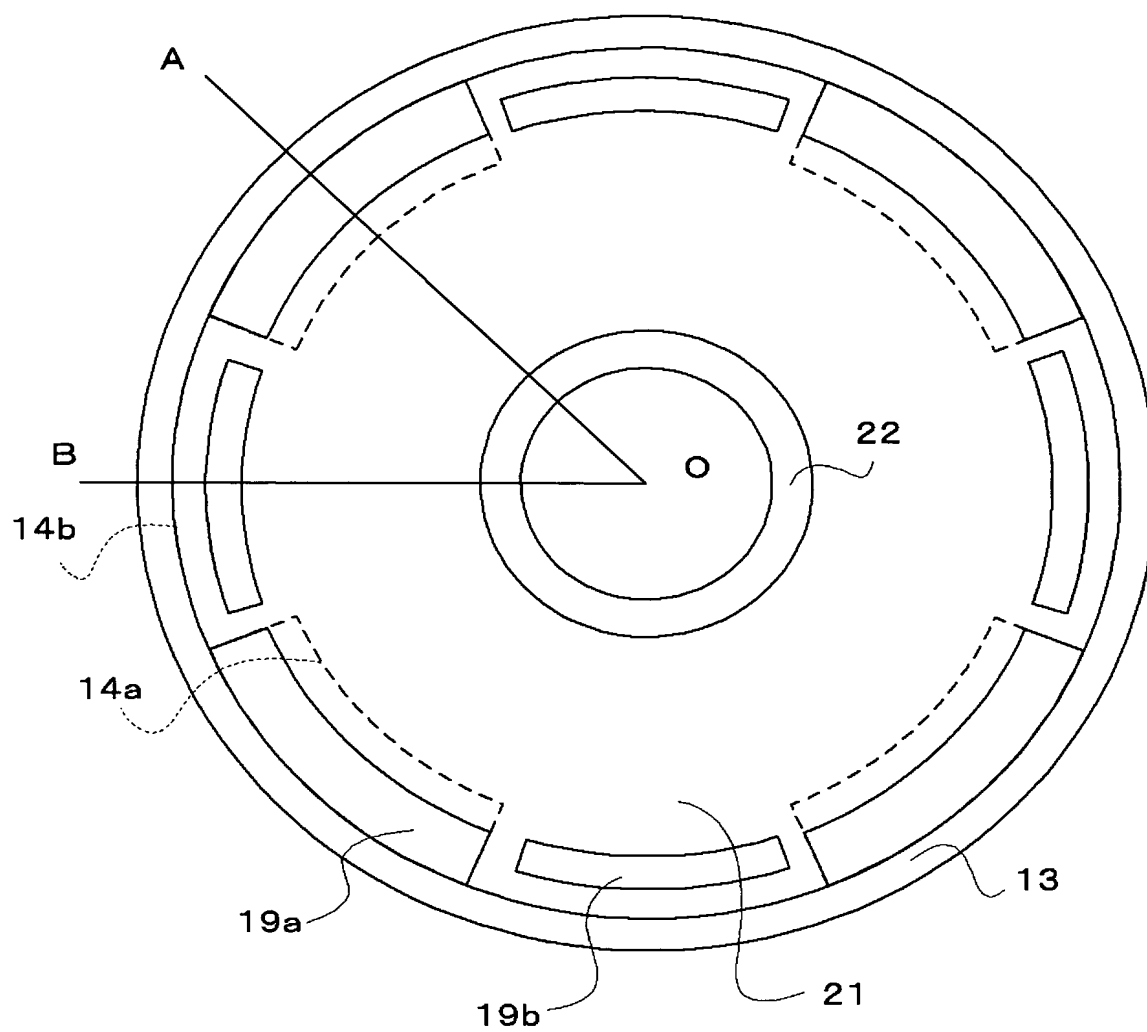
[17] 前記第5半導体領域(19)は、前記第7半導体領域(22)を包囲するように、前記第6半導体領域(23)及び前記第8半導体領域(12)を備える領域(19b)と、前記第6半導体領域(23)及び前記第8半導体領域(12)を備えない領域(19a)とが交互に且つ離間して配置され、

前記第3半導体領域(13)は、前記第5半導体領域(19)を囲むように閉環状に形成されている、ことを特徴とする請求項13に記載の半導体装置。

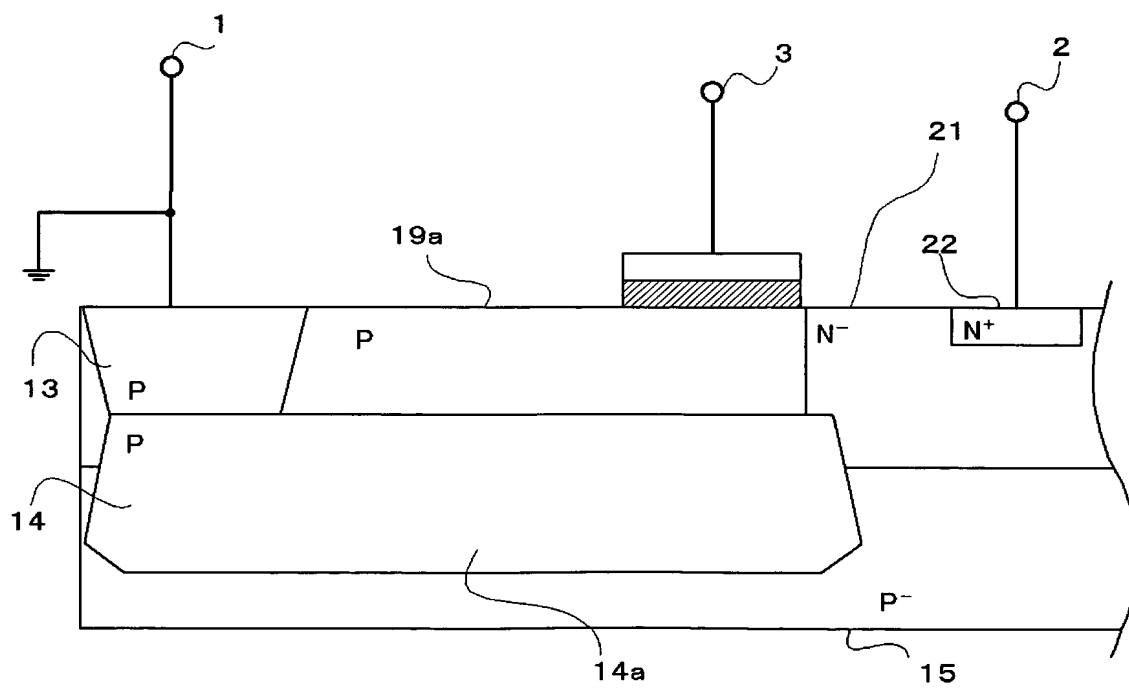
[18] さらに、高圧抵抗素子(121)を備える、ことを特徴とする請求項8に記載の半導体装置。



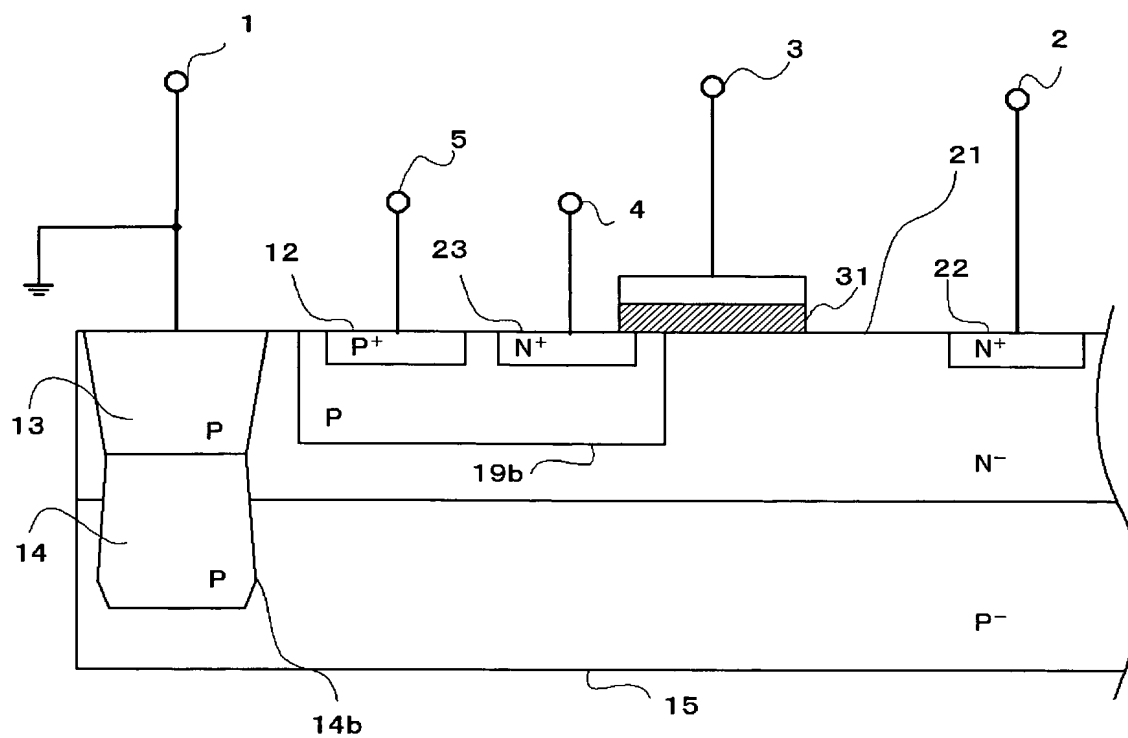
[図3]



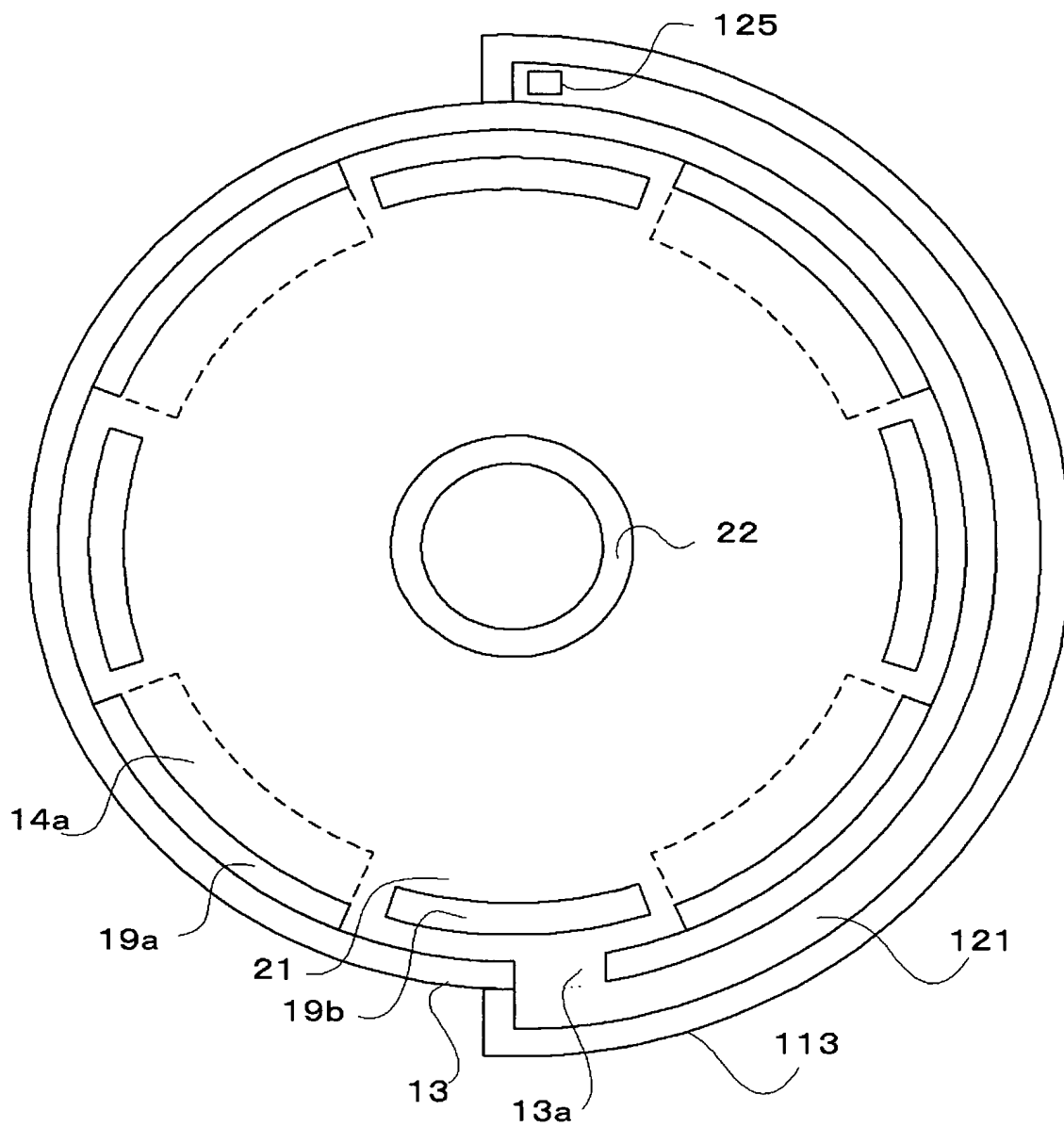
[図4]



[図5]



[図6]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003161

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L29/78, 21/822, 27/04, 27/06, 21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L29/78, 21/822, 27/04, 27/06, 21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-50413 A (Siliconix, Inc.), 21 February, 1995 (21.02.95), Par. Nos. [0007] to [0009]; Fig. 4 & US 5374843 A & EP 620599 A1 & DE 69407852 E	1-6 7
X Y	JP 10-506503 A (Philips Electronics N.V.), 23 June, 1998 (23.06.98), Full text; all drawings & WO 1997/004488 A2 & EP 788660 A1 & KR 97706614 A & TW 339475 A & US 5883413 A & DE 69616013 E	1-6 7



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
06 May, 2005 (06.05.05)

Date of mailing of the international search report  
24 May, 2005 (24.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003161

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-501103 A (Philips Electronics N.V.), 27 January, 1998 (27.01.98), Full text; all drawings & WO 1996/029741 A2 & EP 761016 A1 & TW 298665 A & KR 97703621 A & US 5796146 A & DE 69624305 E	1-6, 8-11, 18 7, 12 13-17
Y	JP 4-154173 A (Toshiba Corp.), 27 May, 1992 (27.05.92), Full text; all drawings & EP 481454 A2 & US 5306938 A & DE 69128406 E & KR 9509795 B1	7, 12

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.7 H01L29/78, 21/822, 27/04, 27/06, 21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.7 H01L29/78, 21/822, 27/04, 27/06, 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 7-50413 A(シリコニックス・インコーポレイテッド) 1995.02.21 【0007】 - 【0009】 , 図4 &US 5374843 A &EP 620599 A1 &DE 69407852 E	1-6 7
X Y	JP 10-506503 A(フィリップス エレクトロニクス ネムローゼ フェ ンノートシャップ) 1998.06.23 全文, 全図 &WO 1997/004488 A2 &EP 788660 A1 &KR 97706614 A &TW 339475 A &US 5883413 A &DE 69616013 E	1-6 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

06.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献 .		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 10-501103 A(フィリップス エレクトロニクス ネムローゼ フェ ンノートシャップ) 1998. 01. 27 全文, 全図 &WO 1996/029741 A2 &EP 761016 A1 &TW 298665 A &KR 97703621 A &US 5796146 A &DE 69624305 E	1-6, 8-11, 18 7, 12 13-17
Y	JP 4-154173 A(株式会社東芝) 1992. 05. 27 全文, 全図 &EP 481454 A2 &US 5306938 A &DE 69128406 E &KR 9509795 B1	7, 12